

Instr.	RegDst	EscReg	EscMem	LerMem	UAL fonte	DvC	UALParaReg
addi regA regB imed.							

2. Considere o esquema de pipeline mostrado para a arquitetura vista em sala de aula, onde temos 5 estágios de pipeline: Busca (B), Decodificação/Leitura de regs (DL), Execução da instrução (EX), Acesso à memória de dados (MD), Escrita nos registradores (ER). Lembre-se que a escrita em um registrador é realizada na primeira metade do ciclo de relógio e a leitura de um registrador é realizada na segunda metade.

Analise o trecho de código abaixo e indique as instruções onde poderá existir conflito estrutural, ou de controle ou de dados, quando este código for executado. Suponha que a única maneira de resolver os conflitos é atrasar a execução dos estágios através da inserção de instruções noop. Indique o número de instruções noop que deverão ser inseridas para resolver cada conflito.

```
addi 3 3 1
lw 3 4 0
add 4 2 2
add 5 6 5
addi 7 7 1
addi 3 3 1
beq 2 5 if
addi 1 3 1
if addi 1 1 1
halt
```

3. Explique o que são e como funcionam os processos de compilação, montagem e ligação.
4. Considere um sistema que possui um controlador de teclado com três registradores utilizados para se comunicar com o resto do sistema: um para receber comandos da UCP, outro para indicar se o controlador de teclado está pronto para enviar um byte para a UCP, e outro para armazenar o byte que corresponde a tecla inserida pelo usuário. O primeiro registrador possui o endereço 05, o segundo 06 e o terceiro 07. Para se receber um byte correspondente a uma tecla inserida pelo usuário, deve-se enviar o comando 01 para o controlador de teclado, utilizando o endereço 05. O controlador de teclado armazena o valor 01 no registrador de estado (registrador 06) quando uma tecla foi inserida pelo usuário e o byte correspondente a ela se encontra no registrador 07. O controlador de teclado pode trabalhar por interrupção e existe também um controlador de acesso direto à memória. Suponha que se deseja transferir 20 bytes do teclado para a memória. Descreva **detalhadamente** os três possíveis métodos que podem ser utilizados: por E/S programada, por interrupção e por acesso direto à memória.
5. Considere os seguintes tipos de interface de E/S: por programa, por interrupção e por acesso direto à memória.
- a) Descreva, em termos gerais, a operação de cada uma delas.
 - b) Considere um sistema onde o número de ciclos de relógio para realizar uma operação por programa é igual a 400, o processador utiliza um relógio de 500 MHz para executar as instruções e nenhuma transferência de dados pode ser perdida. Determine o overhead – relação entre ciclos de CPU consumidos em um segundo pelo processo de Entrada/Saída e número de ciclos disponíveis – que ocorre quando se utiliza a interface por programa para os seguintes dispositivos:
 - b.1) Um mouse que deve ser interrogado pelo sistema 30 vezes por segundo para garantir que nenhum movimento dele seja perdido.
 - b.2) Um disco flexível que transfere dados para o processador em blocos de 16 bits e possui uma taxa de transferência de dados de 50 KB/segundo.
 - b.3) Um disco rígido que transfere dados para o processador em blocos de 16 bytes e possui uma taxa de transferência de 4MB/segundo.
 - c) Discuta a vantagem que a interface por interrupção possui em relação à interface por programa. Ilustre sua resposta calculando a fração de tempo de CPU consumida pelo disco rígido conforme descrito no item b.3 assumindo que o overhead de cada transferência, incluindo a interrupção, é 500 ciclos de relógio e que o disco está ativo em 5 % do tempo total em que a CPU está sendo utilizada. Porque a porcentagem do tempo que um dispositivo está ativo é importante para comparar as interfaces por programa e por interrupção?

- d) Considere agora outro cenário, onde o disco rígido é controlado por um controlador de DMA, cada transferência entre o disco e a memória ocorre em blocos de 8KB e ocorrem transferências em 100 % do tempo total que a CPU está sendo utilizada. Calcule a fração de tempo de CPU que é consumida, caso necessite-se, em cada transferência, de 1000 ciclos de relógio do processador para inicializar o controlador de DMA e o tratamento da interrupção gerada pela finalização da operação do controlador do DMA necessite de 500 ciclos de relógio do processador. Ignore qualquer impacto que possa ocorrer devido à contenção do barramento entre o processador e o controlador de DMA.